

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masayuki FURUHASHI et al.**

Serial Number: **Not Yet Assigned**

Filed: **October 29, 2003**

Customer No.: **38834**

For: **SEMICONDUCTOR DEVICE FABRICATION METHOD AND
SEMICONDUCTOR FABRICATION CONTROL METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-315188, filed on October 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels
Reg. No. 32,562

Atty. Docket No.: 032077
Suite 700
1250 Connecticut Avenue, N.W.
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SMD/yap

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月30日

出願番号

Application Number:

特願2002-315188

[ST.10/C]:

[JP2002-315188]

出願人

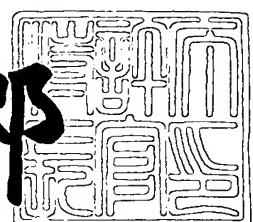
Applicant(s):

富士通株式会社

2003年 3月11日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3015617

【書類名】 特許願

【整理番号】 0241400

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/324

【発明の名称】 半導体装置の製造方法及び半導体製造工程の管理方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 古橋 匡幸

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 堀 充明

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0012600
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体製造工程の管理方法

【特許請求の範囲】

【請求項1】 半導体基板にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記絶縁膜をエッティング除去する工程と、前記半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項2】 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記検査用の半導体基板の前記表面側の前記絶縁膜をエッティング除去する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体製造工程の管理方法。

【請求項3】 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の裏面側に絶縁膜を形成する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体製造工程の管理方法。

【請求項4】 裏面側に第1の絶縁膜が形成された半導体基板の表面側及び前記裏面側を覆うように第2の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第2の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッティング除去する工程と、

前記半導体基板の前記裏面側に前記第2の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板の前記表面側及び前記裏面側を覆うように第1の絶縁膜を形成する工程と、

前記半導体基板の前記表面側の前記第1の絶縁膜をエッチング除去する工程と

前記半導体基板の前記表面側及び前記裏面側を覆うように第2の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第2の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッチング除去する工程と、

前記半導体基板の前記裏面側に前記第2の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4又は5記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッチング除去する工程の後、前記半導体基板を熱処理する工程の前に、前記半導体基板を洗浄液に浸漬する工程を更に有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッチング除去する工程の後、前記半導体基板を洗浄液に浸漬する工程の前に、前記半導体基板の前記裏面側をスクラブ洗浄する工程を更に有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項4乃至7のいずれか1項に記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜を除去する工程の後、前記半導体基板を熱処理する工程の前に、前記表面側の前記半導体膜に前記第2の絶縁膜に達する開口部を形成する工程と、前記半導体膜をマスクとして前記第2の絶縁膜をエッチングする

工程と、前記第2の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体基板に溝を形成する工程と、前記溝内に第3の絶縁膜を埋め込むことにより素子分離領域を形成する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、
前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板
を熱処理し、

前記半導体基板を熱処理する工程の後、前記半導体基板にゲート絶縁膜を形成
する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法並びに半導体製造工程の管理方法に関する。

【0002】

【従来の技術】

近時、ゲート絶縁膜を形成する際の前処理として、水素アニール、即ち水素を
含む雰囲気中での熱処理を行うことが注目されている。

【0003】

水素アニールは、シリコン基板の表面のシリコンをマイグレイトさせることに
よりシリコン基板の表面を平坦化すること、及び、シリコン基板の表面に形成さ
れた自然酸化膜を除去することを目的として行われる。

【0004】

ゲート絶縁膜を形成する工程の前処理として、水素アニールを行えば、良質な
ゲート絶縁膜を形成することができ、電気的特性の良好なトランジスタを有する
半導体装置を製造することが可能となる。

【0005】

【特許文献1】

特開2001-102321号公報

【特許文献2】

特開2001-274154号公報

【特許文献3】

特開平10-313012号公報

【特許文献4】

特開2000-340644号公報

【特許文献5】

特開2001-102386号公報

【特許文献6】

特開平9-326396号公報

【0006】

【発明が解決しようとする課題】

しかしながら、水素アニールを行うと、シリコン基板の裏面側、即ち下面側からシリコンが昇華してしまう。チャンバ内におけるシリコン基板が載置される箇所の下方には、温度センサ等が設けられている。シリコン基板の裏面側からシリコンが昇華すると、昇華したシリコンが温度センサ等に付着してしまう。温度センサにシリコンが付着すると、センサの計測精度が低下するため、プロセスの制御性の低下を招いてしまう。プロセスの制御性を確保するためには、RTP (Rapid Thermal Process、高温熱処理) 装置等の半導体製造装置を頻繁にメンテナンスしなければならず、製造効率の低下を招いてしまう。

【0007】

また、半導体装置の製造工程の管理を行う際にも、同様の問題が起これ得る。即ち、半導体装置の製造工程の管理を行う際には、例えば、検査用の半導体基板にゲート絶縁膜を形成し、ゲート絶縁膜の検査を行い、検査結果が良好でない場合には、半導体製造装置等のメンテナンス等が行われる。ゲート絶縁膜を形成する際には、前処理として上記と同様の水素アニールが行われるため、この水素アニールの際にもシリコン基板の裏面側からのシリコンが昇華してしまうこととなる。

【0008】

ところで、上記の特許文献1には、半導体ウェハを熱処理する際に、半導体ウェハの裏面側にO₂ガスを供給し、半導体ウェハの裏面側に酸化膜を形成することにより、半導体ウェハの裏面側からシリコンが昇華するのを防止する技術が開示されている。しかし、特許文献1に開示された技術では、半導体ウェハの表面側、即ち上面側にO₂ガスが回り込み、所望しないシリコン酸化膜が半導体ウェハの表面側に生成されてしまうという弊害が生ずる。この際に半導体ウェハの表面に生成されるシリコン酸化膜は膜厚が安定しないものであるため、ゲート絶縁膜を所望の膜厚に制御することが極めて困難となる。

【0009】

本発明の目的は、熱処理を行う際に、上記のような弊害を生ずることなく、半導体基板の裏面側からの半導体構成原子の昇華を防止し得る半導体装置の製造方法及び半導体製造工程の管理方法を提供することにある。

【0010】

【課題を解決するための手段】

上記目的は、半導体基板にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、前記ゲート絶縁膜を形成する工程の前に、前記半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0011】

また、上記目的は、検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記検査用の半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体製造工程の管理方法により達成される。

【0012】

また、上記目的は、検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の裏面側に絶縁膜を形成する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体製造工程の管理方法により達成される。

【0013】

また、上記目的は、裏面側に第1の絶縁膜が形成された半導体基板の表面側及び前記裏面側を覆うように第2の絶縁膜を形成する工程と、前記表面側及び前記裏面側の前記第2の絶縁膜を覆うように半導体膜を形成する工程と、前記裏面側の前記半導体膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記第2の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0014】

また、上記目的は、半導体基板の前記表面側及び前記裏面側を覆うように第1の絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記第1の絶縁膜をエッチング除去する工程と、前記半導体基板の前記表面側及び前記裏面側を覆うように第2の絶縁膜を形成する工程と、前記表面側及び前記裏面側の前記第2の絶縁膜を覆うように半導体膜を形成する工程と、前記裏面側の前記半導体膜をエッティング除去する工程と、前記半導体基板の前記裏面側に前記第2の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0015】

【発明の実施の形態】

【第1実施形態】

近時、STI (Shallow Trench Isolation) 法により素子分離領域を形成する際に、ポリシリコンより成るマスクを用いてシリコン窒化膜をパターニングし、パターニングされたシリコン窒化膜をマスクとして、シリコン基板をエッチングすることによりシリコン基板にトレンチ、即ち溝を形成する技術が提案されてい

る。しかし、ポリシリコン膜はシリコン基板の表面側、即ち上面側のみならず、裏面側、即ち下面側にも形成されるため、このようなシリコン基板に対して水素アニールを單に行うと、シリコン基板の裏面側のポリシリコン膜からシリコンが昇華してしまい、温度センサ等に付着してしまうこととなる。シリコンが温度センサ等に付着すると、上述したように、センサの計測精度が低下するため、プロセスの制御性の低下を招いてしまう。プロセスの制御性を確保するためには、上述したように、半導体製造装置を頻繁にメンテナンスしなければならず、製造効率の低下を招いてしまう。

【0016】

本願発明者らは銳意検討した結果、以下のようにすれば、シリコン基板の裏面側からのシリコンの昇華を防止し得ることに想到した。

【0017】

本発明の第1実施形態による半導体装置の製造方法を図1乃至図7を用いて説明する。図1乃至図6は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0018】

まず、図1(a)に示すように、裏面側、即ち下面側にシリコン酸化膜12が形成されているシリコン基板10を用意する。

【0019】

かかる基板としては、例えばエピタキシャル基板を挙げることができる。エピタキシャル基板は、シリコン基板の表面側、即ち上面側に単結晶シリコン層がエピタキシャル成長された基板である。エピタキシャル基板においては、裏面側にシリコン酸化膜が形成されているのが一般的である。エピタキシャル基板において裏面側にシリコン酸化膜が形成されているのは、以下のようない理由によるものである。即ち、シリコン基板にはボロン等の不純物がドープされており、シリコン基板上に単結晶シリコン層を單に成長した場合には、シリコン基板の裏面側からシリコン基板の外部に不純物が抜け出てしまう。そうすると、成膜雰囲気中に不純物が混入し、ひいては単結晶シリコン層中に混入してしまう。不純物を含まない単結晶シリコン層を形成するためには、シリコン基板の裏面側からシリコン

基板の外部に不純物が抜け出るのを防止することが必要となる。エピタキシャル基板においては、シリコン基板の裏面側からシリコン基板の外部に不純物が抜け出してしまうのを防止するため、シリコン基板の裏面側にシリコン酸化膜が形成されている。

【0020】

裏面側にシリコン酸化膜が形成されていないエピタキシャル基板の場合、エピタキシャル基板ではない一般的なシリコン基板を用いる場合、又はSOI (Silicon On Insulator) 基板を用いる場合には、以下のようにして、裏面側にシリコン酸化膜12が形成されたシリコン基板10を得る。

【0021】

即ち、図6(a)に示すように、まず、シリコン基板10を用意する。

【0022】

次に、図6(b)に示すように、例えば熱酸化法により、シリコン酸化膜12を形成する。シリコン酸化膜12は、シリコン基板10の全面を覆うように形成される。シリコン酸化膜12の膜厚は、例えば100nm程度とする。

【0023】

なお、ここでは、シリコン酸化膜12を熱酸化法により形成する場合を例に説明したが、シリコン酸化膜12の形成方法は熱酸化法に限定されるものではない。例えば、CVD法等によりシリコン酸化膜12を形成してもよい。

【0024】

次に、シリコン基板10の表面側、即ち上面側のシリコン酸化膜12のみを、以下のようにして除去する。即ち、シリコン基板10を回転させながら、シリコン基板10の表面側にフッ酸を供給する。この際、シリコン基板10の裏面側に、N₂ガスを吹きかけることにより、シリコン基板10の裏面側にフッ酸が回り込むのを防止する。こうして、シリコン基板10の表面側のシリコン酸化膜12のみが除去される。この後、純水によりシリコン基板10をリノンスし、この後、シリコン基板10を乾燥させる。こうして、裏面側にのみシリコン酸化膜12が形成されたシリコン基板10が得られる(図6(c)参照)。

【0025】

なお、ここでは、シリコン基板10の表面側及び裏面側にシリコン酸化膜12を形成した後に、表面側のシリコン酸化膜12を除去することにより、裏面側にのみシリコン酸化膜12が形成されたシリコン基板10を得たが、シリコン基板10の裏面側にのみシリコン酸化膜12を形成するようにしてもよい。シリコン基板10の裏面側にのみシリコン酸化膜12を形成する際には、例えばCVD法を用いることができる。シリコン酸化膜12の膜厚は、例えば10nm程度とする。

【0026】

次に、図1(b)に示すように、例えば熱酸化法により、シリコン基板10の全面にシリコン酸化膜14を形成する。シリコン酸化膜14の膜厚は、例えば10nm程度とする。シリコン酸化膜14は、シリコン窒化膜16とシリコン基板10との間の応力を緩和するためのバッファ膜として機能するものである。

【0027】

次に、例えばCVD法により、シリコン窒化膜16を形成する。シリコン酸化膜16は、全面を覆うように形成される。シリコン窒化膜16の膜厚は例えば100nm程度とする。シリコン窒化膜16は、後工程でシリコン酸化膜26(図3(c)参照)を研磨する際にストップ膜として機能するものである。

【0028】

次に、例えばCVD法により、シリコン窒化膜16上にポリシリコン膜18を形成する。ポリシリコン膜18は、全面を覆うように形成される。ポリシリコン膜18の膜厚は、例えば150nmとする。ポリシリコン膜18は、シリコン窒化膜16をパターニングする際にマスクとして機能するものである。

【0029】

次に、シリコン基板10の裏面側のポリシリコン膜18を、以下のようにして除去する。即ち、まず、シリコン基板10の表面側と裏面側とを反転させる。これにより、シリコン基板10の裏面側が上面側に位置し、シリコン基板10の裏面側が下面側に位置することとなる。次に、シリコン基板10を回転させながら、シリコン基板10の上面側、即ちシリコン基板10の裏面側に、フッ硝酸を供給する。フッ硝酸としては、例えば、濃度50%のフッ酸水溶液と濃度60%の

硝酸水溶液とを、1:50～1:300で混合して成るフッ硝酸を用いる。この際、シリコン基板10の下面側、即ち表面側に、N₂ガスを吹きかけることにより、シリコン基板10の下面側、即ち表面側にフッ硝酸が回り込むのを防止する。こうして、シリコン基板10の裏面側のポリシリコン膜18が除去される。その後、純水によりシリコン基板10をリンスし、この後、シリコン基板10を乾燥させる。シリコン基板10の裏面側には、シリコン窒化膜16の表面が露出した状態となる。露出したシリコン窒化膜16の表面には、ポリシリコン膜18を除去する際に生じたパーティクル19が付着している状態となる。

【0030】

次に、図2(a)に示すように、スクラブ洗浄により、パーティクル19を除去する。ポリシリコン18を除去する際に生じた多数のパーティクル19のうち、ある程度の数のパーティクル19は、このスクラブ洗浄により除去される。但し、このスクラブ洗浄ですべてのパーティクル19が除去されるわけではなく、ある程度の数のパーティクル19はシリコン基板16の表面等に残ることとなる。スクラブ洗浄の際に用いる洗浄液としては、例えばAPM(Ammonia-Hydrogen Peroxide Mixture)を用いることができる。APMは、アンモニアと過酸化水素と水とが混合されて成る洗浄液である。なお、スクラブ洗浄の際に用いる洗浄液は、APMに限定されるものではなく、例えば純水でもよい。但し、APMを用いた場合の方が、純水を用いた場合より、多くのパーティクル19を除去することが可能である。

【0031】

次に、シリコン基板10を洗浄液に浸漬することにより、シリコン窒化膜16等の表面に残っているパーティクル19を除去する(図2(b)参照)。洗浄液としては、例えばAPMを用いる。これにより、シリコン窒化膜16の表面等に残っていたパーティクル19が、除去されることとなる。スクラブ洗浄の際に多くのパーティクルが既に除去されているため、シリコン基板10を洗浄液に浸漬することにより除去されるパーティクル19の数は、あまり多くはない。このため、洗浄液中に混入するパーティクル19の数を、少なくすることが可能となる。洗浄液中に混入するパーティクル19の数を少なくすることが可能となるため

、シリコン窒化膜16やポリシリコン膜18等の表面にパーティクル19が再付着するのを抑制することが可能となる。

【0032】

次に、例えばスピンドルコート法により、ポリシリコン膜18上にフォトレジスト膜20を形成する。

【0033】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜20に開口部22を形成する（図2（c）参照）。

【0034】

次に、フォトレジスト膜20をマスクとして、ポリシリコン膜18を異方性エッティングする。エッティングガスとしては、例えばHBrとO₂との混合ガスを用いる。

【0035】

次に、図3（a）に示すように、ポリシリコン膜18をマスクとしてシリコン窒化膜16及びシリコン酸化膜14を異方性エッティングする。エッティングガスとしては、例えばフルオロカーボンを用いる。

【0036】

次に、図3（b）に示すように、シリコン窒化膜16をマスクとして、シリコン基板10をエッティングする。エッティングガスとしては、例えばHBrとO₂との混合ガスを用いることができる。これにより、シリコン基板10にトレンチ24、即ち溝が形成される。トレンチ24を形成する際、シリコン窒化膜16上のポリシリコン膜18も同時に除去される。

【0037】

次に、図3（c）に示すように、例えば高密度プラズマ（High Density Plasma、HDP）CVD法により、シリコン酸化膜26を形成する。シリコン酸化膜26の膜厚は、例えば500nmとする。

【0038】

次に、図4（a）に示すように、例えばCMP法により、シリコン酸化膜26をシリコン窒化膜16の表面が露出するまで研磨する。こうして、トレンチ24

内にシリコン酸化膜26が埋め込まれる。

【0039】

次に、図4（b）に示すように、例えばリン酸を用い、シリコン窒化膜16をエッティング除去する。

【0040】

次に、例えばフッ酸を用い、シリコン酸化膜14をエッティング除去する。この際、シリコン基板10の裏面側に形成されたシリコン酸化膜12やトレンチ24内に埋め込まれたシリコン酸化膜26までもが大きくエッティングされてしまうことのないようにすることが必要である。例えば、シリコン酸化膜14を、極めて短いエッティング時間でエッティングすればよい。こうして、STI法により、シリコン酸化膜26より成る素子分離領域28が形成される。素子分離領域28により、素子領域30が画定される。

【0041】

次に、例えばイオン注入法により、素子領域30にドーパント不純物を適宜導入することにより、n形ウェル32やp形ウェル34を形成する（図4（c）参照）。

【0042】

次に、図5（a）に示すように、ゲート絶縁膜36（図5（b）参照）を成膜する工程の前処理として、水素アニール、即ち、水素を含む雰囲気中の熱処理を行う。アニール温度は、例えば1000°C程度とする。水素アニールを行う際には、シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で熱処理を行う。シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で水素アニールを行えば、シリコンの昇華を防止することができるためである。シリコン基板12の裏面側にシリコン酸化膜が少なくとも1nm以上存在していれば、シリコン基板10の裏面側からのシリコンの昇華を防止することができ、温度センサ等にシリコンが付着するのを防止することができる。

【0043】

なお、水素アニールの際に、シリコン酸化膜12の表面が水素によりわずかに還元され、シリコン酸化膜12の膜厚が若干薄くなる場合もあり得る。シリコン

酸化膜12の成膜方法等によって薄くなる厚さは異なるが、薄くなる厚さは例えば1nm程度とわずかなものである。水素アニールを開始する段階で例えば2nm以上のシリコン酸化膜12がシリコン基板10の裏面側に存在していれば、水素によるシリコン酸化膜12の還元によりシリコン酸化膜12の厚さが例えば1nm薄くなったとしても、水素アニールが終了する段階では1nm以上のシリコン酸化膜12が残っている状態となる。1nm以上のシリコン酸化膜12がシリコン基板10の裏面側に存在していれば、シリコン基板10の裏面側からのシリコンの昇華を十分に防止することが可能である。本実施形態では、シリコン酸化膜12を例えば100nmと十分に厚く形成しており、シリコン酸化膜14をエッチングする際には、シリコン酸化膜12を大きくエッチングする事がないように、エッチングを短時間で行う。このため、シリコン酸化膜12はシリコン基板10の裏面側に十分な厚さで存在している。従って、シリコン基板10の裏面側からのシリコンの昇華を確実に防止することができる。

【0044】

次に、図5(b)に示すように、例えば熱酸化法により、膜厚1.2nmのゲート絶縁膜36を形成する。

【0045】

この後、ゲート電極(図示せず)やソース/ドレイン拡散層(図示せず)等を適宜形成する。

【0046】

こうして、本実施形態による半導体装置が製造される。

【0047】

本実施形態による半導体装置の製造方法は、シリコン基板10の裏面側、即ち下面側のポリシリコン膜18を除去するとともに、シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で熱処理を行うことに主な特徴の一つがある。

【0048】

シリコン基板10の裏面側にポリシリコン膜18が存在している状態で水素アニールを行った場合には、上述したように、シリコン基板10の裏面側からシリ

コンが昇華し、シリコン基板10が載置される箇所の下方に設けられた温度センサ等にシリコンが付着してしまう。温度センサにシリコンが付着すると、上述したように、センサの計測精度が低下するため、プロセスの制御性の低下を招いてしまう。プロセスの制御性を確保するためには、半導体製造装置を頻繁にメンテナンスしなければならず、製造効率の低下を招いてしまう。

【0049】

これに対し、本実施形態では、シリコン基板10の裏面側のポリシリコン膜18を除去し、しかも、シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で熱処理を行うため、水素アニールを行った場合であっても、シリコン基板10の裏面側からシリコンが昇華するのを防止することができる。このため、本実施形態によれば、温度センサ等にシリコンが付着するのを防止することができ、頻繁なメンテナンスを行うことなく半導体装置を製造することが可能となる。従って、本実施形態によれば、高い製造効率で半導体装置を製造することができる。

【0050】

なお、上述したように、特許文献1には、半導体ウェハを熱処理する際に、半導体ウェハの裏面側に O_2 ガスを供給し、半導体ウェハの裏面側に酸化膜を形成することにより、半導体ウェハの裏面側からシリコンが昇華するのを防止する技術が開示されている。しかし、特許文献1に開示された技術では、半導体ウェハの表面側に O_2 ガスが回り込み、所望しない酸化膜が半導体ウェハの表面側に生成されてしまう。この際に半導体ウェハの表面側に生成される酸化膜は膜厚が安定しないものであるため、この後形成するゲート絶縁膜の膜厚を所望の膜厚に制御することが極めて困難となる。これに対し、本実施形態による半導体装置の製造方法は、シリコン基板の表面側に所望しないシリコン酸化膜が生成されてしまうことはなく、所望の膜厚でゲート絶縁膜を形成することができる点で、特許文献1に開示された技術と比較して極めて有利である。

【0051】

また、本実施形態によれば、シリコン基板10の裏面側のポリシリコン膜18を除去するため、以下に述べるように、ポリシリコン膜18の端部がパーティク

ルになってしまうのを防止することができる。

【0052】

図7は、シリコン基板の裏面側のポリシリコン膜を除去することなく半導体装置を製造する場合の工程断面図である。

【0053】

シリコン基板10の裏面側のポリシリコン膜18を除去せずに（図7（a）参照）、シリコン窒化膜16をエッティング除去すると、ポリシリコン膜18の端部がシリコン窒化膜16の端部から張り出した状態となる。そうすると、ポリシリコン膜18の端部が分離してしまう場合があり、分離したポリシリコン膜18の端部が、パーティクルになってしまう場合がある。

【0054】

本実施形態では、シリコン基板10の裏面側のポリシリコン膜18を除去するため、ポリシリコン膜18の端部が分離してパーティクルになるのを防止することができる。このため、本実施形態によれば、半導体装置の製造歩留りの向上に寄与することができる。

【0055】

また、本実施形態による半導体装置の製造方法は、シリコン基板10の裏面側のポリシリコン膜18を除去した後、シリコン基板10を洗浄液に浸漬する前に、スクラブ洗浄を行うことにも主な特徴の一つがある。

【0056】

ポリシリコン膜18を除去した後、直ちに洗浄液に浸漬してパーティクル19を除去した場合には、洗浄液中に多数のパーティクル19が混入してしまう。洗浄液中に混入したパーティクル19は、ポリシリコン膜18やシリコン窒化膜16等の表面に再付着する場合がある。洗浄液中に混入するパーティクル19の数が多いほど、ポリシリコン膜18やシリコン窒化膜16等の表面に再付着するパーティクル19の数は多くなる傾向にある。再付着したパーティクル19は、半導体装置の製造歩留りを低下させる要因となってしまう。

【0057】

これに対し、本実施形態では、シリコン基板10の裏面側のポリシリコン膜1

8を除去した後、洗浄液に浸漬する前に、スクラブ洗浄を行うため、スクラブ洗浄においてある程度の数のパーティクル19を除去することができる。このため、本実施形態によれば、シリコン基板10を洗浄液に浸漬した際に、洗浄液中に混入するパーティクル19を少なく抑えることができる。従って、本実施形態によれば、ポリシリコン膜18やシリコン窒化膜16等の表面に再付着するパーティクル19の数を極めて少なくすることができ、ひいては半導体装置の製造歩留りを向上することができる。

【0058】

【第2実施形態】

本発明の第2実施形態による半導体装置の製造方法を図8及び図9を用いて説明する。図8及び図9は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図7に示す第1実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0059】

本実施形態による半導体装置の製造方法は、STI法により素子分離領域28を形成する際にポリシリコン膜より成るマスクは形成しないが、シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で水素アニールを行うことに主な特徴がある。

【0060】

まず、図8(a)に示すように、まず、シリコン基板10を用意する。シリコン基板10としては、例えばCZ法により形成されたシリコン基板を用いる。

【0061】

次に、図8(b)に示すように、例えば熱酸化法により、シリコン基板12の全面にシリコン酸化膜12を形成する。シリコン酸化膜12の膜厚は、例えば100nm程度とする。

【0062】

次に、シリコン基板10の表面側のシリコン酸化膜12のみを、例えばフッ酸を用いて除去する。こうして、裏面側にのみシリコン酸化膜12が形成されたシリコン基板10が得られる(図8(c)参照)。

【0063】

なお、ここでは、シリコン基板10の表面側及び裏面側にシリコン酸化膜12を形成した後に、表面側のシリコン酸化膜12を除去することにより、裏面側にのみシリコン酸化膜12が形成されたシリコン基板10を得たが、シリコン基板10の裏面側にのみシリコン酸化膜12を形成するようにしてもよい。シリコン基板10の裏面側にのみシリコン酸化膜12を形成する際には、例えばCVD法を用いることができる。シリコン酸化膜12の膜厚は、例えば10nm程度とする。

【0064】

また、ここでは、シリコン基板10として、CZ法により形成された一般的なシリコン基板を用いたが、シリコン基板10はCZ法により形成された一般的なシリコン基板に限定されるものではなく、例えばSOI基板を用いてもよい。

【0065】

次に、図9(a)に示すように、シリコン酸化膜14及びシリコン窒化膜16を順次形成する。シリコン酸化膜14の形成方法及びシリコン窒化膜16の形成方法は、例えば、図1(b)を用いて上述した半導体装置の製造方法と同様とすればよい。

【0066】

次に、図9(b)に示すように、例えばスピンコート法により、シリコン窒化膜16上にフォトレジスト膜20を形成する。

【0067】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜20に開口部22を形成する。

【0068】

次に、フォトレジスト膜20をマスクとしてシリコン窒化膜16及びシリコン酸化膜14を異方性エッチングする。エッチングガスとしては、例えばフルオロカーボンを用いる。

【0069】

次に、図9(c)に示すように、シリコン窒化膜16をマスクとして、シリコ

ン基板10をエッティングする。エッティングガスとしては、例えばHBrとO₂との混合ガスを用いる。こうして、シリコン基板10にトレンチ24が形成される。

【0070】

この後の半導体装置の製造方法は、図3(c)乃至図5(b)を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【0071】

こうして本実施形態による半導体装置が製造される。

【0072】

本実施形態による半導体装置は、上述したように、STI法により素子分離領域28を形成する際にポリシリコン膜より成るマスクは形成しないが、シリコン基板10の裏面側にシリコン酸化膜12が形成されている状態で水素アニールを行うことに主な特徴がある。

【0073】

本実施形態によれば、シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で熱処理を行うため、上記と同様に、水素アニールの際にシリコン基板10の裏面側からシリコンが昇華するのを防止することができる。本実施形態によれば、温度センサ等にシリコンが付着するのを防止することができるため、半導体製造装置の頻繁なメンテナンスを要することなく、プロセスの制御性の確保することができる。従って、本実施形態によっても、高い製造効率で半導体装置を製造することができる。

【0074】

なお、エピタキシャル基板を用いた場合には、エピタキシャル基板の裏面側には一般にシリコン酸化膜が形成されているため、水素アニールを行った際にシリコン基板からシリコンが昇華してしまうことはない。但し、エピタキシャル基板は、高価であるため、低コスト化を図るために、エピタキシャル基板ではない一般的なシリコン基板を用いることが有利である。本実施形態では、安価な一般的なシリコン基板を用いた場合であっても、水素アニールの際にシリコン基板の裏面側からシリコンが昇華してしまうのを防止することができるため、より一層

の低成本化に寄与することが可能である。

【0075】

【第3実施形態】

本発明の第3実施形態による半導体製造工程の管理方法を図10及び図11を用いて説明する。図10及び図11は、本実施形態による半導体製造工程の管理方法を示す工程断面図である。図1乃至図9に示す第1又は第2実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0076】

本実施形態による半導体製造工程の管理方法は、検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態で水素アニールを行い、この後、ゲート絶縁膜36を形成してゲート絶縁膜36の検査を行い、検査結果に応じて適切な措置をとることにより、製造工程を管理することに主な特徴がある。

【0077】

まず、図10(a)に示すように、検査用のシリコン基板10aを用意する。検査用のシリコン基板10aとしては、例えばCZ法により形成されたシリコン基板を用いる。

【0078】

次に、図10(b)に示すように、例えば熱酸化法により、検査用のシリコン基板10aの全面にシリコン酸化膜12を形成する。シリコン酸化膜12の膜厚は、例えば100nm程度とする。

【0079】

次に、検査用のシリコン基板10aの表面側のシリコン酸化膜12のみを、例えばフッ酸を用いて除去する。こうして、裏面側にのみシリコン酸化膜12が形成された、検査用のシリコン基板10aが得られる(図10(c)参照)。

【0080】

なお、ここでは、検査用のシリコン基板10aの表面側及び裏面側にシリコン酸化膜12を形成した後に、表面側のシリコン酸化膜12を除去することにより、裏面側にのみシリコン酸化膜12が形成された検査用のシリコン基板10aを

得たが、検査用のシリコン基板10aの裏面側にのみシリコン酸化膜12を形成するようにしてもよい。シリコン基板10の裏面側にのみシリコン酸化膜12を形成する際には、例えばCVD法を用いることができる。シリコン酸化膜12の膜厚は、例えば10nm程度とする。

【0081】

また、ここでは、検査用のシリコン基板10aとして、CZ法により形成された一般的なシリコン基板を用いたが、検査用のシリコン基板10aはCZ法により形成された一般的なシリコン基板に限定されるものではなく、例えばSOI基板を用いてもよい。

【0082】

次に、ゲート絶縁膜36を成膜する工程（図11参照）の前処理として、水素アニールを行う。アニール温度は、例えば1000°C程度とする。水素アニールを行う際には、検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態でアニールを行う。検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態で水素アニールを行えば、上述したように、検査用のシリコン基板10aの裏面側からのシリコンの昇華を防止することができ、温度センサ等にシリコンが付着するのを防止することができる。シリコン酸化膜12は、検査用のシリコン基板10の裏面側に例えば1nm以上存在していればよい。

【0083】

次に、例えば熱酸化法により、膜厚1.2nmのゲート絶縁膜36を形成する。

【0084】

次に、ゲート絶縁膜36に対しての検査を行う。検査項目としては、例えばゲート絶縁膜36の膜厚が挙げられる。

【0085】

ゲート絶縁膜36aの検査を行った結果、例えば所望の膜厚のゲート絶縁膜36aが形成されていた場合には、半導体製造装置等に特段の問題はないと判断し、半導体装置を実際に製造するためのシリコン基板10に対してゲート絶縁膜3

6を形成する（図5（b）参照）。

【0086】

一方、ゲート絶縁膜36aの検査を行った結果、例えば所望の膜厚のゲート絶縁膜36aが形成されていなかった場合には、半導体製造装置等に何らかの問題があると考えられる。この場合には、例えば半導体製造装置のメンテナンスを行うなど、適切な措置をとる。そして、所望のゲート絶縁膜36aを形成し得るようになった場合には、半導体装置を実際に製造するためのシリコン基板10に対してゲート絶縁膜36を形成する（図5（b）参照）。

【0087】

本実施形態による半導体製造工程の管理方法は、上述したように、検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態で水素アニールを行い、この後、ゲート絶縁膜36aを形成して、ゲート絶縁膜36aの検査を行い、検査結果に応じた措置をとることに主な特徴がある。

【0088】

本実施形態によれば、検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態で水素アニールを行うため、上記実施形態と同様に、検査用のシリコン基板10aの裏面側からシリコンが昇華して温度センサ等にシリコンが付着するのを防止することができる。従って、本実施形態によっても、頻繁なメンテナンスが不要となり、検査効率や製造効率を向上することができる。

【0089】

なお、エピタキシャル基板を用いた場合には、エピタキシャル基板の裏面側には一般にシリコン酸化膜が形成されているため、水素アニールを行った際にシリコン基板からシリコンが昇華してしまうことはない。しかし、エピタキシャル基板は、試験用の基板として用いるには、あまりに高価である。本実施形態では、安価な一般的なシリコン基板を用いた場合であっても、水素アニールの際にシリコン基板の裏面側からシリコンが昇華してしまうのを防止することができるという点で、エピタキシャル基板を用いる場合と比較して極めて有利である。

【0090】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0091】

例えば、第1実施形態では、マスクとしてポリシリコン膜18を用いたが、マスクの材料はポリシリコンに限定されるものではない。例えば、アモルファスシリコン膜等、あらゆるシリコン膜を用いることができる。また、マスクの材料はシリコンに限定されるものではなく、あらゆる半導体を用いることが可能である。例えば、マスクの材料として、半導体基板の材料とほぼ同様のエッティング特性を有する半導体を用いることができる。半導体基板の材料とほぼ同様のエッティング特性を有する半導体材料を用いれば、絶縁膜をマスクとして半導体基板にトレチングを形成する際に、絶縁膜上に形成されている半導体より成るマスクを同時に除去することが可能である。

【0092】

また、上記実施形態では、基板としてシリコン基板を用いる場合を例に説明したが、本発明はシリコン基板を用いる場合に限定されるものではなく、あらゆる半導体基板を用いる場合に適用することが可能である。

【0093】

また、上記実施形態では、シリコン基板10、10aの裏面側にシリコン酸化膜12を形成したが、シリコン基板10、10aの裏面側に形成する絶縁膜はシリコン酸化膜に限定されるものではない。アニールを行う際に、半導体基板の裏面側から半導体構成原子が昇華するのを防止しうる膜であれば、あらゆる膜を適宜用いることができる。

【0094】

(付記1) 半導体基板にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記絶縁膜をエッティング除去する工程と、前記半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【0095】

(付記2) 付記1記載の半導体装置の製造方法において、前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理することを特徴とする半導体装置の製造方法。

【0096】

(付記3) 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記検査用の半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体製造工程の管理方法。

【0097】

(付記4) 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の裏面側に絶縁膜を形成する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体製造工程の管理方法。

【0098】

(付記5) 付記3又は4記載の半導体製造工程の管理方法において、前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理することを特徴とする半導体製造工程の管理方法。

【0099】

(付記6) 裏面側に第1の絶縁膜が形成された半導体基板の表面側及び前記裏面側を覆うように第2の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第2の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッティング除去する工程と、

前記半導体基板の前記裏面側に前記第2の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【0100】

(付記7) 半導体基板の前記表面側及び前記裏面側を覆うように第1の絶縁膜を形成する工程と、

前記半導体基板の前記表面側の前記第1の絶縁膜をエッティング除去する工程と

前記半導体基板の前記表面側及び前記裏面側を覆うように第2の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第2の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッティング除去する工程と、

前記半導体基板の前記裏面側に前記第2の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【0101】

(付記8) 付記6又は7記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッティング除去する工程の後、前記半導体基板を熱処理する工程の前に、前記半導体基板を洗浄液に浸漬する工程を更に有することを特徴とする半導体装置の製造方法。

【0102】

(付記9) 付記8記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッティング除去する工程の後、前記半導体基板を洗浄液に浸漬する工程の前に、前記半導体基板の前記裏面側をスクラブ洗浄する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0103】

(付記10) 付記9記載の半導体装置の製造方法において、

前記スクラブ洗浄する工程では、アンモニアと過酸化水素と水とが混合されて成る第1の洗浄液とブラシとを用いて、前記半導体基板の前記裏面側をスクラブ洗浄する

ことを特徴とする半導体装置の製造方法。

【0104】

(付記11) 付記8乃至10のいずれかに記載の半導体装置の製造方法において、

前記半導体基板を洗浄液に浸漬する工程では、アンモニアと過酸化水素と水とが混合されて成る第2の洗浄液に前記半導体基板を浸漬する

ことを特徴とする半導体装置の製造方法。

【0105】

(付記12) 付記6乃至11のいずれかに記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜を除去する工程の後、前記半導体基板を熱処理する工程の前に、前記表面側の前記半導体膜に前記第2の絶縁膜に達する開口部を形成する工程と、前記半導体膜をマスクとして前記第2の絶縁膜をエッチングする工程と、前記第2の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体基板に溝を形成する工程と、前記溝内に第3の絶縁膜を埋め込むことにより素子分離領域を形成する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【0106】

(付記13) 付記12記載の半導体装置の製造方法において、

前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理し、

前記半導体基板を熱処理する工程の後、前記半導体基板にゲート絶縁膜を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0107】

【発明の効果】

以上の通り、本発明によれば、半導体基板の裏面側の半導体膜を除去し、しかも、半導体基板の裏面側に絶縁膜が存在している状態で熱処理を行うため、高温の熱処理を行った場合であっても、半導体基板の裏面側から半導体構成原子が昇華するのを防止することができる。このため、本発明によれば、温度センサ等に半導体構成原子が付着するのを防止することができ、頻繁なメンテナンスを行うことなく半導体装置を製造することが可能となる。従って、本発明によれば、高い製造効率で半導体装置を製造することができる。

【0108】

また、本発明によれば、半導体基板の裏面側の半導体膜を除去した後、洗浄液に浸漬する前に、スクラブ洗浄を行うため、スクラブ洗浄においてある程度の数のパーティクルを除去することができる。このため、本発明によれば、半導体基板を洗浄液に浸漬した際に、洗浄液中に混入するパーティクルを少なく抑えることができる。従って、本発明によれば、半導体膜等の表面に再付着するパーティクルの数を極めて少なくすることができ、ひいては半導体装置の製造歩留りを向上することができる。

【0109】

また、本発明によれば、半導体基板の裏面側に絶縁膜が存在している状態で熱処理を行うため、高温の熱処理を行った場合であっても、半導体基板の裏面側から半導体構成原子が昇華するのを防止することができる。このため、本発明によれば、温度センサ等に半導体構成原子が付着するのを防止することができ、頻繁なメンテナンスを行うことなく半導体装置を製造することが可能となる。従って、本発明によれば、高い製造効率で半導体装置を製造することができる。

【0110】

また、本発明によれば、検査用の半導体基板の裏面側に絶縁膜が存在している状態で高温の熱処理を行うため、検査用の半導体基板の裏面側から半導体構成原子が昇華して温度センサ等にシリコンが付着するのを防止することができる。従

って、本発明によれば、頻繁なメンテナンスが不要となり、検査効率や製造効率を向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図3】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図4】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図5】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図6】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図7】

シリコン基板の裏面側のポリシリコン膜を除去することなく半導体装置を製造する場合の工程断面図である。

【図8】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図9】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）

)である。

【図10】

本発明の第3実施形態による半導体製造工程の管理方法を示す工程断面図（その1）である。

【図11】

本発明の第3実施形態による半導体製造工程の管理方法を示す工程断面図（その2）である。

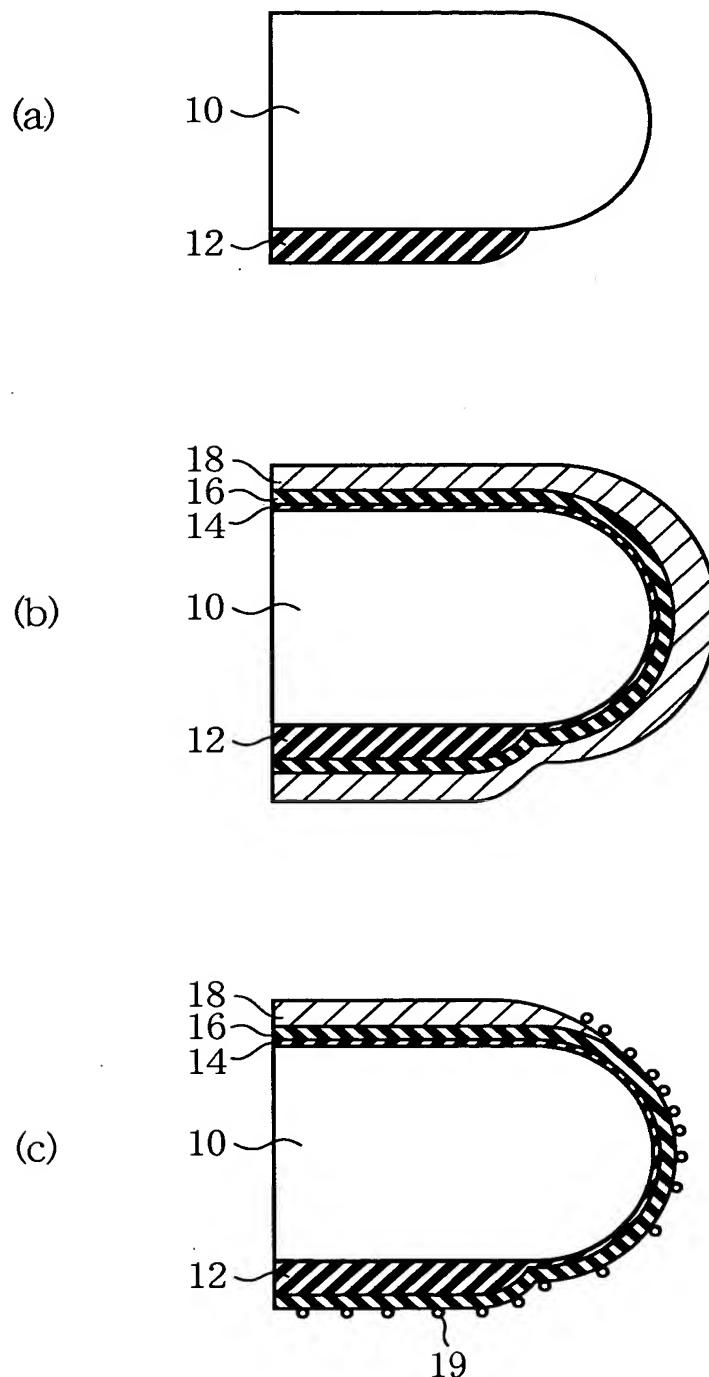
【符号の説明】

- 10…シリコン基板
- 10a…検査用のシリコン基板
- 12…シリコン酸化膜
- 14…シリコン酸化膜
- 16…シリコン窒化膜
- 18…ポリシリコン膜
- 19…パーティクル
- 20…フォトレジスト膜
- 22…開口部
- 24…トレンチ
- 26…シリコン酸化膜
- 28…素子分離領域
- 30…素子領域
- 32…n形ウェル
- 34…p形ウェル
- 36、36a…ゲート絶縁膜

【書類名】 図面

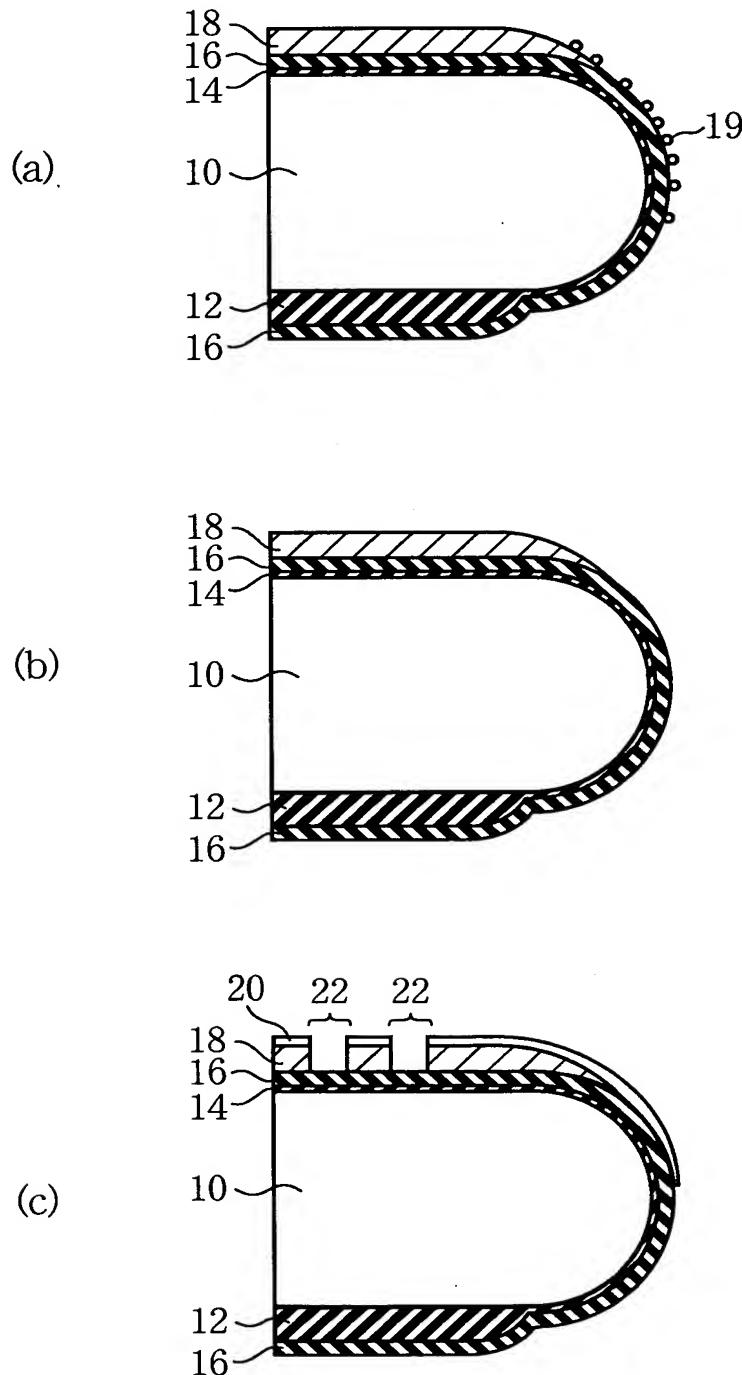
【図1】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



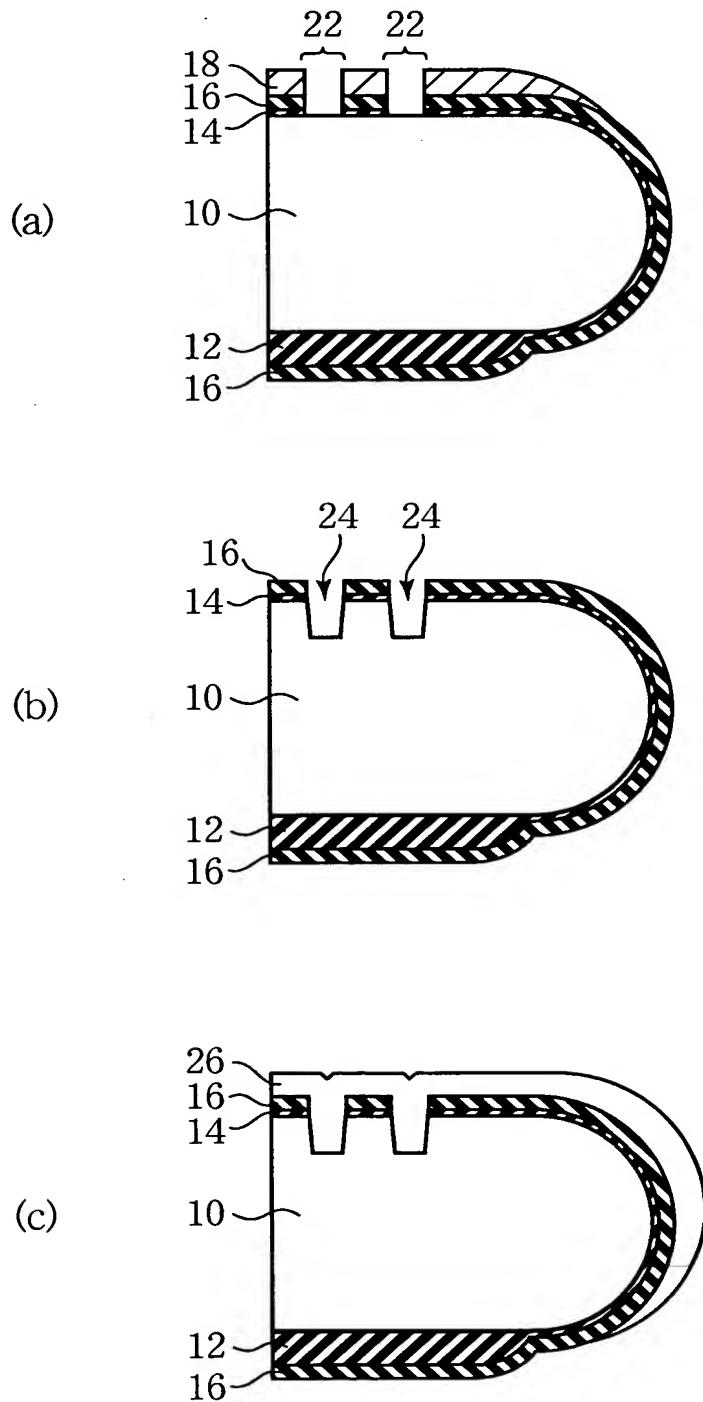
【図2】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



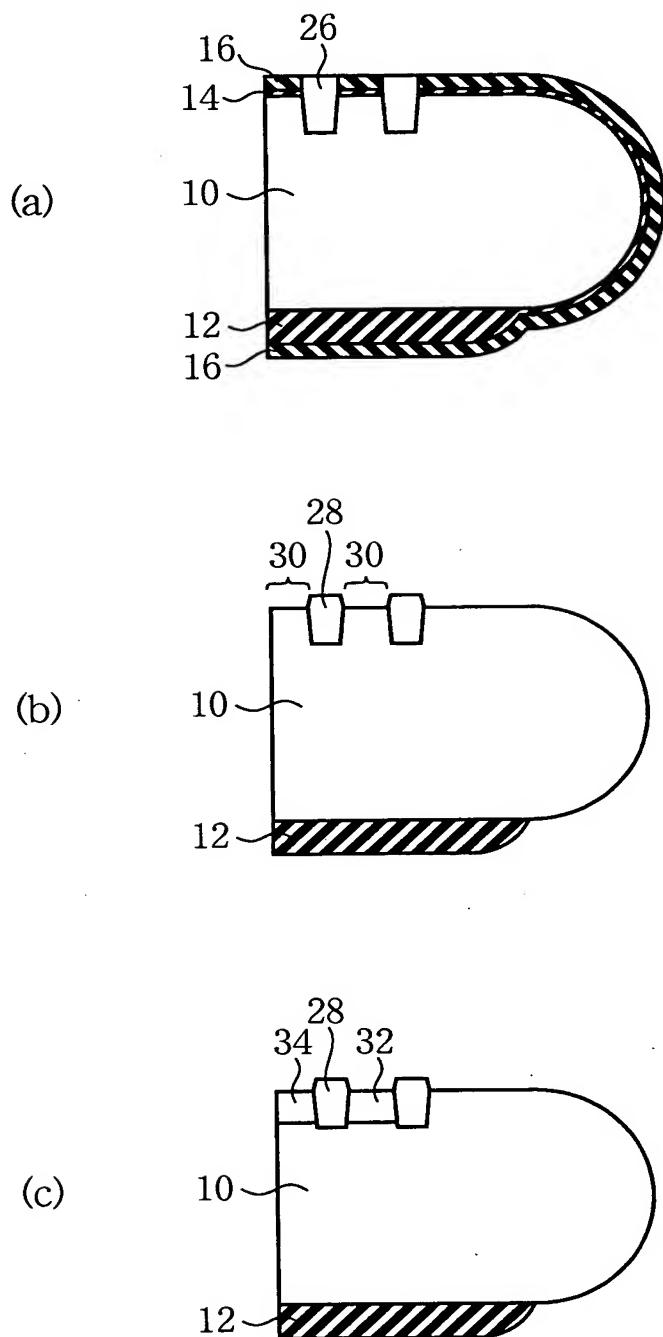
【図3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



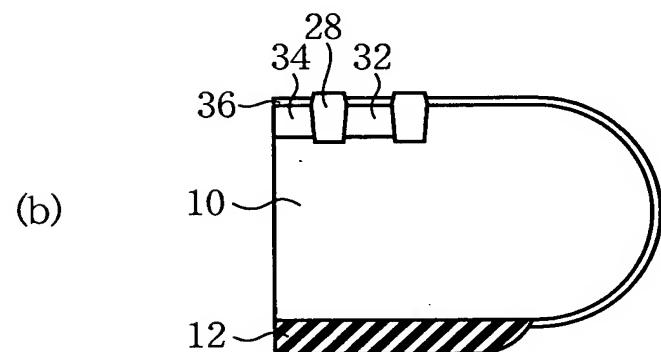
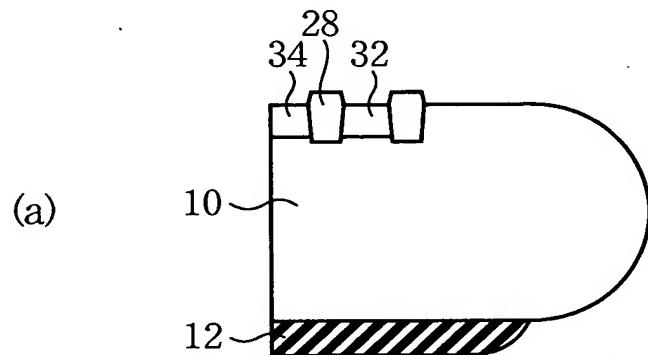
【図4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)



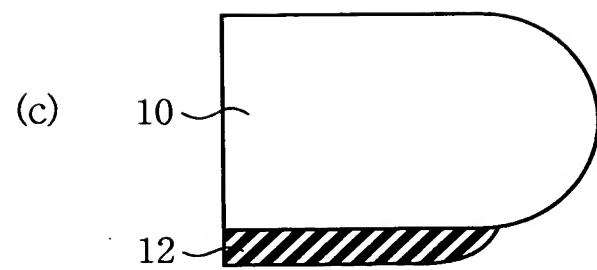
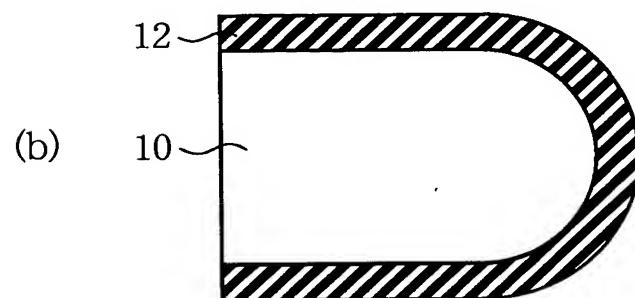
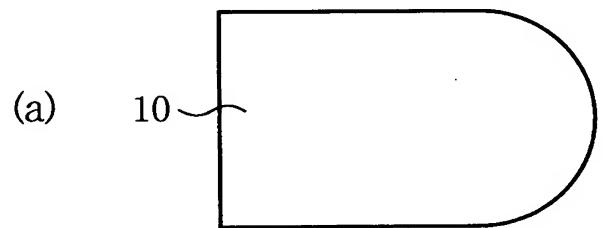
【図5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その5)



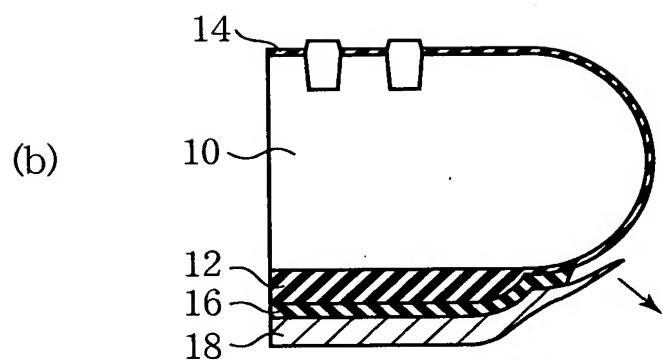
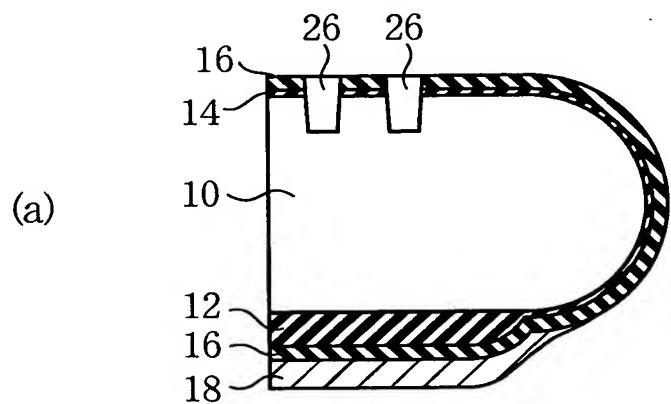
【図6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その6)



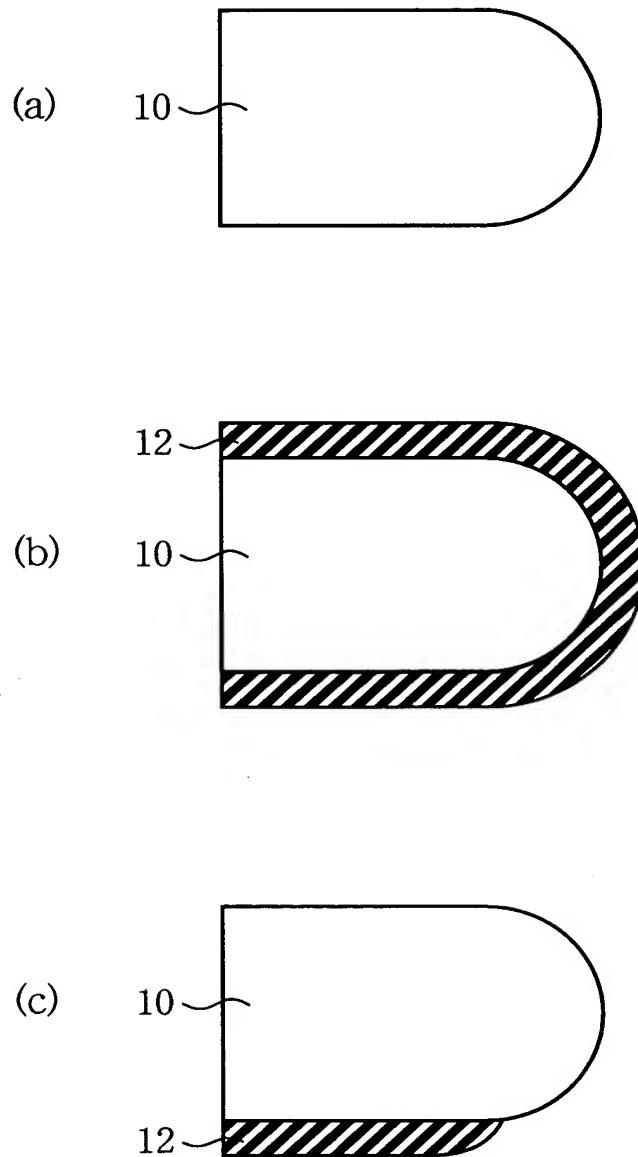
【図7】

シリコン基板の裏面側のポリシリコン膜を除去することなく
半導体装置を製造する場合の工程断面図

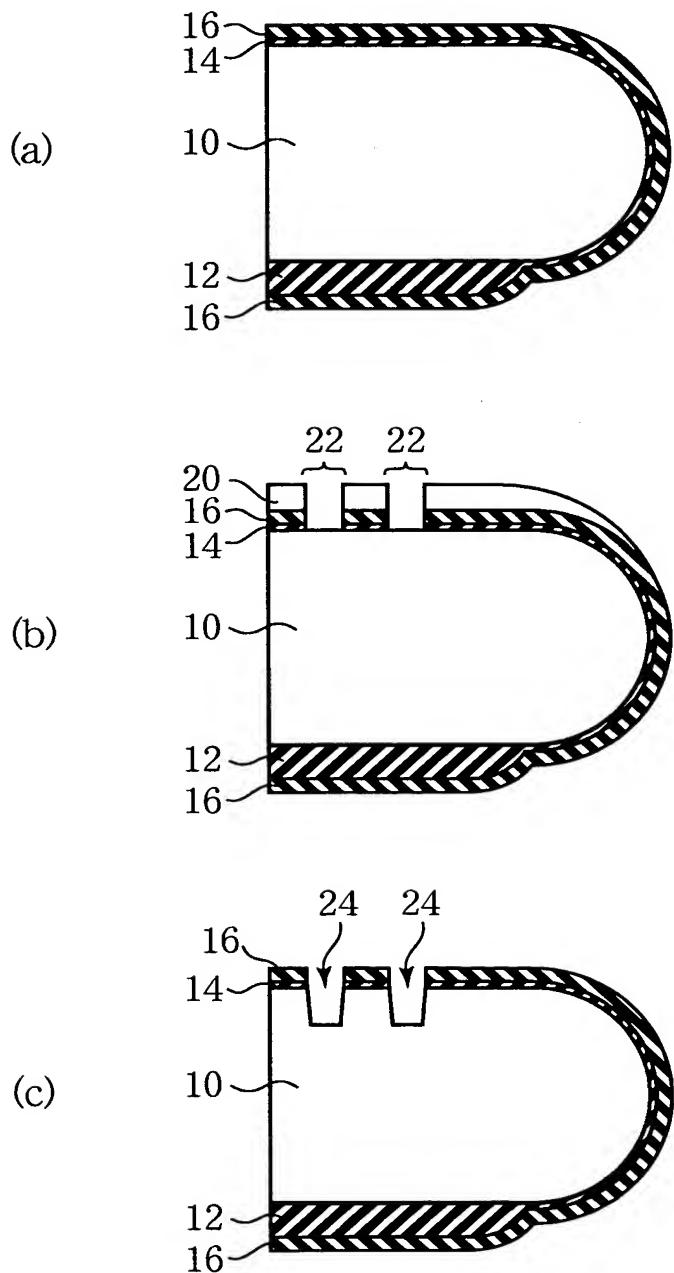


【図8】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その1)

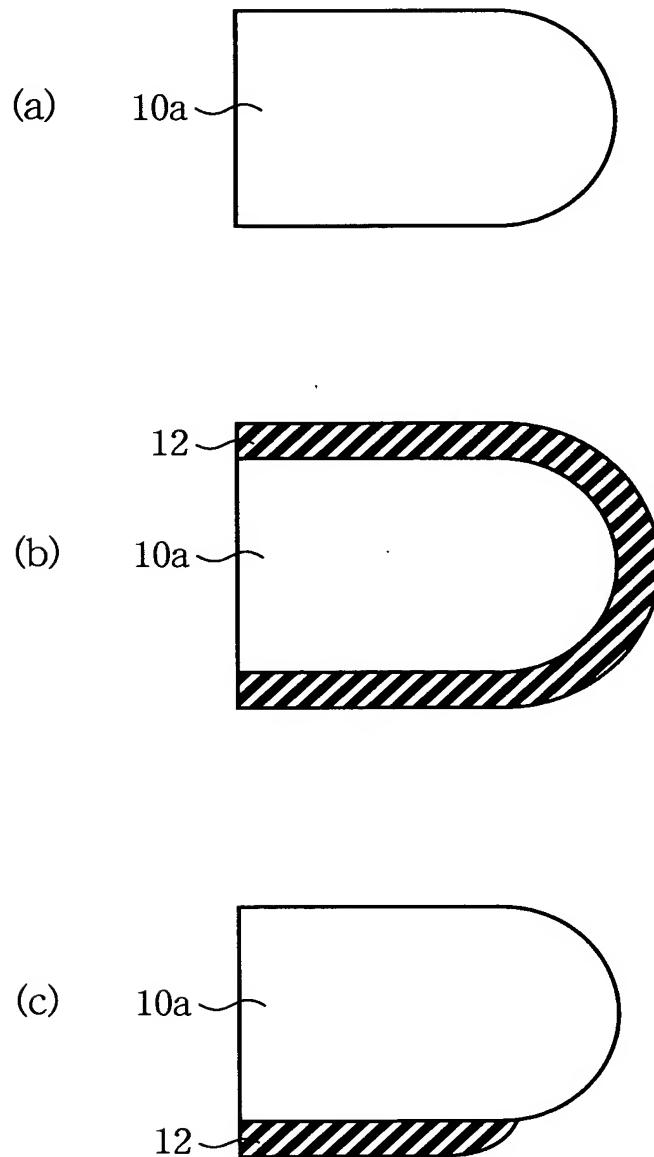


【図9】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その2)

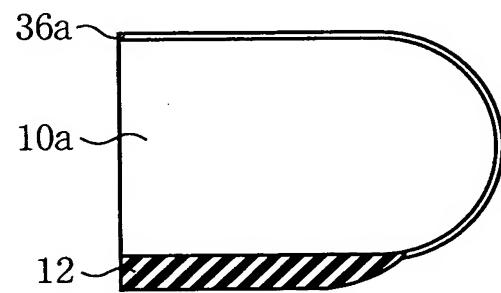
【図10】

本発明の第3実施形態による半導体製造工程の管理方法を示す
工程断面図(その1)



【図11】

本発明の第3実施形態による半導体製造工程の管理方法を示す
工程断面図(その2)



【書類名】 要約書

【要約】

【課題】 热処理を行う際に、半導体基板の裏面側からの半導体構成原子の昇華を防止し得る半導体装置の製造方法及び半導体製造工程の管理方法を提供する。

【解決手段】 半導体基板10にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、ゲート絶縁膜を形成する工程の前に、半導体基板の表面側及び裏面側を覆うように絶縁膜12を形成する工程と、半導体基板の表面側の絶縁膜をエッチング除去する工程と、半導体基板の裏面側に絶縁膜が存在している状態で、半導体基板を熱処理する工程とを有している。

【選択図】 図8

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社